

2 / Priority
B. Hawkins
10/28

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:
Hiroshi Mizutani

Appln. No.: To Be Assigned

Filed: August 11, 1999

For: SEMICONDUCTOR SWITCHES
AND SWITCHING CIRCUITS
FOR MICROWAVE

Art Unit: To Be Assigned

Examiner: To Be Assigned

Docket No.: NEM-01601



Certificate of Express Mail

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as Express Mail, postage prepaid, "Post Office to Addressee", in an envelope addressed to the Assistant Commissioner for Patents Washington, D.C. 20231 on this date of August 11, 1999.

Carmen Parra
Name: Carmen Parra
Express Mail Label: EL354728617US

SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

Attached hereto is Japanese application no. 10-228311, filed August 12, 1998, a priority document for the above-referenced application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-832-1257.

Respectfully submitted,
FOLEY, HOAG & ELIOT LLP

Donald W. Muirhead
Reg. No. 33,978

August 11, 1999
Date

Patent Group
Foley, Hoag & Eliot LLP
One Post Office Square
Boston, MA 02109-2170

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

1c525 U.S. PTO
09/372322
08/11/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application: 1998年 8月12日

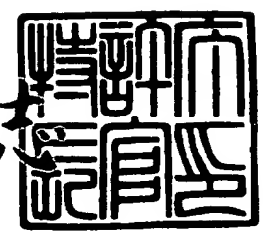
出 願 番 号
Application Number: 平成10年特許願第228311号

出 願 人
Applicant (s): 日本電気株式会社

1999年 3月 5日

特 許 庁 長 官
Commissioner,
Patent Office

伴 佐 山 建 志



出証番号 出証特平11-3011800

【書類名】 特許願

【整理番号】 71110101

【提出日】 平成10年 8月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8234
H01L 21/8232

【発明の名称】 半導体スイッチ及びスイッチ回路

【請求項の数】 15

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 水谷 浩

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【選任した代理人】

【識別番号】 100058413

【弁理士】

【氏名又は名称】 芦田 坦

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001569

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体スイッチ及びスイッチ回路

【特許請求の範囲】

【請求項 1】 ゲート電極、ソース電極及びドレイン電極が半導体基板上に形成されると共に活性層に囲まれてなる電界効果トランジスタを利用した半導体スイッチであって、

前記ソース電極及び前記ドレイン電極が、双方とも接地されると共に所定方向において互いに平行に配されており、且つ、前記ゲート電極が、前記ソース電極及びドレイン電極の間に形成されてなる構造を備え、

前記ゲート電極の前記所定方向における両端には、夫々、当該半導体スイッチの第一、第二の入出力端子が接続されることを特徴とする半導体スイッチ。

【請求項 2】 アノード電極及びカソード電極が半導体基板上に形成されると共に活性層に囲まれてなるダイオードを利用した半導体スイッチであって、

前記半導体基板上に形成されると共に前記活性層に囲まれた付加的なカソード電極を更に有し、

前記カソード電極及び付加的なカソード電極が、双方とも接地されると共に所定方向において互いに平行に配されており、且つ、前記アノード電極が、前記カソード電極及び付加的なカソード電極の間に形成されてなる構造を備え、

前記アノード電極の前記所定方向における両端には、夫々、当該半導体スイッチの第一、第二の入出力端子が接続されることを特徴とする半導体スイッチ。

【請求項 3】 アノード電極及びカソード電極が半導体基板上に形成されると共に活性層に囲まれてなるダイオードを利用した半導体スイッチであって、

前記半導体基板上に形成されると共に前記活性層に囲まれた付加的なアノード電極を更に有し、

前記アノード電極及び付加的なアノード電極が、双方とも接地されると共に所定方向において互いに平行に配されており、且つ、前記カソード電極が、前記アノード電極及び付加的なアノード電極の間に形成されてなる構造を備え、

前記カソード電極の前記所定方向における両端には、夫々、当該半導体スイッチの第一、第二の入出力端子が接続されることを特徴とする半導体スイッチ。

【請求項4】 夫々金属導体からなるソース電極、ゲート電極、及びドレイン電極が半導体基板上に所定方向に平行に延設されてなるMESFETを利用した半導体スイッチであって、

前記ソース電極、ゲート電極、及びドレイン電極が活性層に囲まれ、且つ、前記ソース電極及び前記ドレイン電極は接地された構造を備え、

前記ゲート電極の前記所定方向における一端と他端とは、夫々、当該半導体スイッチの第1及び第2の入出力部として動作することを特徴とする半導体スイッチ。

【請求項5】 夫々金属導体からなるアノード電極及びカソード電極が半導体基板上に所定方向に平行に延設されてなるショットキー障壁ダイオードを利用した半導体スイッチであって、

前記アノード電極又はカソード電極のいずれか一方の電極を、他方の電極と共に、挟むようにして、且つ、前記半導体基板上に前記所定方向に平行に延設された付加的な電極を更に有し、

前記アノード電極、カソード電極及び付加的な電極が活性層に囲まれ、且つ、前記他方の電極及び付加的な電極が接地された構造を備え、

前記一方の電極の前記所定方向における一端と他端とは、夫々、当該半導体スイッチの第1及び第2の入出力部として動作することを特徴とする半導体スイッチ。

【請求項6】 信号線路の両側に接地導体を配してなるコプレーナ伝送線路と電界効果トランジスタとを備えるスイッチ回路であって、

前記コプレーナ伝送線路の一端が、第1の入出力部として動作し、前記コプレーナ伝送線路の他端が、前記電界効果トランジスタのゲートに接続され、

前記電界効果トランジスタのゲートが、第2の入出力部として動作し、前記電界効果トランジスタのソース及びドレインが、双方とも接地されていることを特徴とするスイッチ回路。

【請求項 7】 請求項 6 に記載のスイッチ回路を、前記信号線路に沿うように、複数個直列に接続してなるスイッチ回路。

【請求項 8】 請求項 6 又は 7 のいずれかに記載のスイッチ回路において、信号線路の両側に接地導体を配してなる付加的なコプレーナ伝送線路とを更に有し、

当該付加的なコプレーナ伝送線路の一端が、当該スイッチ回路の最も外側に位置する前記電界効果トランジスタの前記第 2 の入出力部に接続され、当該付加的なコプレーナ伝送線路の他端が、付加的な第 2 の入出力部として動作することを特徴とするスイッチ回路。

【請求項 9】 信号線路の両側に接地導体を配してなるコプレーナ伝送線路とダイオードとを備えるスイッチ回路であって、

前記コプレーナ伝送線路の一端が、第 1 の入出力部として動作し、前記コプレーナ伝送線路の他端が、前記ダイオードのカソードに接続され、

前記ダイオードのカソードが、第 2 の入出力部として動作し、前記ダイオードのアノードが、接地されていることを特徴とするスイッチ回路。

【請求項 10】 請求項 9 に記載のスイッチ回路を、前記信号線路に沿うように、複数個直列に配してなるスイッチ回路。

【請求項 11】 請求項 9 又は 10 のいずれかに記載のスイッチ回路において、信号線路の両側に接地導体を配してなる付加的なコプレーナ伝送線路を更に有し、

当該付加的なコプレーナ伝送線路の一端が、当該スイッチ回路の最も外側に位置するダイオードの前記第 2 の入出力部に接続され、当該付加的なコプレーナ伝送線路の他端は、付加的な第 2 の入出力部として動作することを特徴とするスイッチ回路。

【請求項 12】 信号線路の両側に接地導体を配してなるコプレーナ伝送線路とダイオードとを備えるスイッチ回路であって、

前記コプレーナ伝送線路の一端が、第 1 の入出力部として動作し、前記コプレーナ伝送線路の他端が、前記ダイオードのアノードに接続され、

前記ダイオードのアノードが、第2の入出力部として動作し、前記ダイオードのカソードが、接地されていることを特徴とするスイッチ回路。

【請求項13】 請求項12に記載のスイッチ回路を、前記信号線路に沿うように、複数個直列に配してなるスイッチ回路。

【請求項14】 請求項12又は13のいずれかに記載のスイッチ回路において、信号線路の両側に接地導体を配してなる付加的なコプレーナ伝送線路を更に有し、

当該付加的なコプレーナ伝送線路の一端が、当該スイッチ回路の最も外側に位置するダイオードの前記第2の入出力部に接続され、当該付加的なコプレーナ伝送線路の他端は、付加的な第2の入出力部として動作することを特徴とするスイッチ回路。

【請求項15】 請求項6乃至請求項14ののいずれかに記載のスイッチ回路において、

前記コプレーナ線路の信号線路に対して、所望の周波数帯でハイ・インピーダンスとなるような直流バイアスを印加するバイアス回路を接続して、当該スイッチ回路の最も外側に位置するコプレーナ伝送線路あるいは電界効果トランジスタ、ダイオードにDCカットのための容量を直列に接続し、容量の他端がそれぞれ第一、第二の入出力部として動作することを特徴とするスイッチ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体スイッチに関し、特に、誘電体基板及び金属導体からなる伝送線路と分布定数効果を呈するダイオード又は電界効果トランジスタ（FET）とを用いたマイクロ波・ミリ波帯の半導体スイッチに関する。

【0002】

【従来の技術】

マイクロ波・ミリ波帯、特に60GHz以上の高い周波数における利用を前提と

した半導体スイッチ回路として、従来、種々の回路が提案・試作されている。

【0003】

従来のスイッチの一例としては、「1997 MTT-S IMS Digest pp. 1047-1050」においてM. Caseらにより報告された7 GHz帯の単極3投(SPT)スイッチ(以下、従来例1)が挙げられる。

【0004】

従来例1のSPTスイッチは、図12に示されるような構成を備えている。即ち、入力端子は、伝送線路を介して、信号分岐点に接続されている。また、信号分岐点には、夫々、DCカット用の容量C1~C3を介して、伝搬波長の四分の一程度の長さを有する伝送線路(1/4波長伝送線路)の各一端が接続されている。更に、各1/4波長伝送線路の他端には、夫々、PINダイオードD1~D3の一端と、第1乃至第3の出力端子とが接続されており、各PINダイオードD1~D3の他端は、接地されている。DCカット用の容量C1~C3、1/4波長伝送線路、ダイオードD1~D3及び第1乃至第3の出力端子は、3本の出力信号経路を形成している。

【0005】

ダイオードは、順方向にバイアスされているとき、その等価回路を抵抗で表すことができ、逆方向にバイアスされているときは、容量で等価的に表すことができる。従って、ダイオードが順方向バイアスの時、そのインピーダンスはほとんどなく、アノード-カソード間は、ショートしているとみなせる。また、1/4波長伝送線路を介して、このダイオードを見たときの伝搬波長に対応する周波数でのインピーダンスは、無限大に近く、殆どオープンであるとみなせる。即ち、ダイオードが順方向にバイアスされている信号経路は、信号分岐点から見るとほとんどオープンに見えることとなり、結果として、その信号経路を伝搬したRF信号は、ほぼ全反射される。一方、逆方向にバイアスされているダイオードは容量として機能することから、低い周波数ではインピーダンスが高いこととなり、従って、ダイオードが逆方向にバイアスされている信号経路は、透過的である。周波数が高くなるにつれて、容量のインピーダンスが低くなるため、信号分岐点での信号の反射は、増加することとなる。結果として、ダイオードが逆バイアス

されている信号経路は、信号を透過する一方、周波数の増加に伴って、反射に起因する損失の増加を招くこととなる。

【0006】

このように、従来例1のスイッチにおいては、3本の出力信号経路のうち、信号を透過させる信号経路のダイオードを逆方向バイアスにし、一方、他の信号経路のダイオードを順方向にバイアスにすることで当該他の信号経路上の信号を遮断することにより、信号経路の切替が可能となる。

【0007】

以上述べたような従来例1のスイッチ回路の単極単投（SPST）における挿入損失およびアイソレーションは、簡単のために伝送線路の特性インピーダンスが入出力端子のインピーダンスと同じであると仮定すると、式（1）、式（2）のように表すことができる。

【0008】

【数1】

$$IL = \frac{4}{4 + \omega^2 C^2 Z_0^2} \quad \dots (1)$$

【0009】

【数2】

$$I_{so} = \frac{4}{\left(2 + \frac{Z_0}{R}\right)} \quad \dots (2)$$

式（2）から明らかなように、アイソレーションは、抵抗Rと入出力端子のインピーダンス Z_0 とで表され、周波数には依存しない。しかしながら、従来例1のスイッチにおいて、たとえば40dB以上のアイソレーションを得ようとする、ダイオードの抵抗値が0.13Ω以下でなければならないことになる。ここで、従来例1の開示された文献には、ダイオードの抵抗値が3Ωであると記載されている。従って、従来例1のスイッチにおいて、0.13Ωの抵抗値を実現す

るためには、単純にアノード電極の面積を約23倍すればよいことになる。しかし、アノード電極の面積を23倍にするということは、同時に容量の値も23倍になるということを意味する。その結果、当該文献に開示されたダイオードの容量値は33 fFであることから、40 dBのアイソレーションを得るときの容量は、23倍の759 fFとなってしまう。これを踏まえ、式(1)を参照すると、33 fF ($= 33 \times 10^{-15} \text{F}$) の容量のときの挿入損失は0.6 dBであるのに対し、アノード電極の面積を23倍にすると、挿入損失は19 dBにもなってしまう。すなわち、上述した従来例1のスイッチ回路において、挿入損失とアイソレーションはトレードオフの関係にあり、40 dBという高いアイソレーション特性を得ることはできなかった。

【0010】

また、従来、他のスイッチの例としては、「IEEE MICROWAVE AND GUIDED LETTERS, Vol. 6, pp. 315-316」においてH. Takasuらにより報告された94 GHz帯の単極単投(SPST)スイッチ(以下、従来例2)が挙げられる。この従来例2のスイッチもまた、60 GHz以上の高い周波数帯域のスイッチ回路として、有力な回路の一つである。

【0011】

従来例2のSPSTスイッチは、図13に示されるような構成を備えている。従来例2のスイッチは、電界効果トランジスタ(FET)とインダクタ及び抵抗を有している。FETのソース、ドレインには、夫々、入出力端子が接続されており、また、マイクロストリップ線路で構成したインダクタが、ソース・ドレイン間に、並列に接続されている。FETのゲートには、2.5 k Ω の抵抗が接続され、当該抵抗を介して直流バイアスが印加されるようになっている。ここで、FETのチャネルが閉じた状態においては、FETを等価的に容量Cとして扱うことができることから、図14に示されるように、FETと並列に接続したインダクタンスLとが、式(3)で得られる周波数で共振し、その結果、ハイ・インピーダンスとなり入出力端子間における信号伝搬は遮断されることとなる。即ち、スイッチはオフ状態となる。

【0012】

【数3】

$$f = \frac{1}{2\pi\sqrt{LC}} \quad \dots (3)$$

図15に、従来例2のスイッチにおける挿入損失とアイソレーションの周波数特性を示す。図15から明らかなように、従来例2のスイッチ回路においては、30dB程度のアイソレーション特性を比較的低い挿入損失で得ることができる。しかし、従来例2のスイッチ回路は、前述のように共振を利用していることから、その周波数特性は、狭帯域となる。その上、共振回路を所望の周波数で共振させるためには、その定数たるLCを正確に把握する必要がある。従って、従来例2のスイッチを利用するためには、FETがチャネルの閉じた場合に呈することとなる容量Cを正確に見積もらなければならない、且つ、インダクタLに関して正確なモデリングが必要となる。逆にいえば、FETやPINダイオードなどは、通常、ある程度の製造プロセスのばらつきを有するが、例えば、このばらつきにより、容量Cの値が設計よりずれた場合、共振周波数もまた設計よりずれることとなり、所望の周波数で共振させることができず、結果として、歩留まりの低下を招く結果となる。

【0013】

以上述べた従来例1及び従来例2の有する問題点を解決するための技術として、従来、H. Mizutani & Y. Takayamaにより「1997 MTT-S IMS Digest pp. 439-442」において提案されたスイッチ回路（以下、従来例3という）が挙げられる。従来例3のスイッチ回路は、分布定数効果を呈するFETを用いたスイッチ回路であり、当該文献においてその広帯域特性が実証されている。尚、当該文献の内容は、特開平10-41404号公報にも開示されている。

【0014】

従来例3のスイッチ回路は、図16に示されるような構成を備えている。図16を参照すれば理解されるように、従来例3のスイッチ回路は、複数の伝送線路

と複数の FET とを備えている。詳しくは、従来例 3 のスイッチ回路は、各伝送線路及び各 FET が、夫々、微小単位長さ当たりで定義され、また、伝送線路が直列に接続されるとともに、その接続点に各 FET のドレインが接続されている。尚、各 FET のソースは、接地されている。この微小単位長さ当たりの伝送線路及び FET の無限接続で構成されている。

【0015】

かかる従来例 3 のスイッチ回路は、ソース電極を接地した長さ $400\mu\text{m}$ の一本のゲートフィンガーを持つ FET（これを分布定数 FET と呼ぶ）のドレイン電極の長手方向の両端に入出力端子を接続した平面パターンとして実装される。

【0016】

このような構成を備える従来例 3 のスイッチ回路は、FET のチャネルが閉じた状態において、等価的に、図 17 に示されるようなロスのない伝送線路として振る舞う。図 17 から明らかなように、このときスイッチはオン状態となり、挿入損失は式 (4) から式 (6) で表される。

【0017】

【数 4】

$$S_{21}^{ON} = \frac{2ZZ_0}{2ZZ_0 \cos \beta l + j(Z^2 + Z_0^2) \sin \beta l} \quad \dots (4)$$

【0018】

【数 5】

$$\beta = \omega \sqrt{L(C_{IL} + C_{FET})} \quad \dots (5)$$

【0019】

【数 6】

$$Z = \sqrt{\frac{L}{(C_{IL} + C_{FET})}} \quad \dots (6)$$

ここで、 Z はスイッチのインピーダンス、 l はFETのフィンガー長、 Z_0 は入出力端子のインピーダンスを示す。また、 ω は角振動数、 L 、 R 、 C 、 G は、夫々、スイッチの単位長さあたりのインダクタンス、抵抗、並列容量、並列コンダクタンスを示す。

【0020】

一方、FETは、そのチャネルが開放の状態のとき、等価的に単なる抵抗で表されるため、このときのスイッチの等価回路は図18のようになる。図18を参照すれば理解されるように、FETのチャネルがオープンの時、従来例3のスイッチ回路は、等価的にロスのある伝送線路として振る舞い、即ちスイッチはオフ状態となり、そのアイソレーションは式(7)から式(9)で表すことができる。

【0021】

【数7】

$$S_{21}^{ON} = \frac{2ZZ_0}{2ZZ_0 \cosh \psi + (Z^2 + Z_0^2) \sinh \psi} \quad \dots (7)$$

【0022】

【数8】

$$\gamma \equiv \alpha + j\beta \equiv \sqrt{j\omega L(j\omega C_{IL} + G)} \quad \dots (8)$$

【0023】

【数9】

$$Z = \sqrt{\frac{j\omega L}{j\omega C_L + G}} \quad \dots (9)$$

これらの式から、図 19 に示されるような広帯域において低い挿入損失と高いアイソレーションが得られる。図 19 から理解されるように、従来例 3 のスイッチ回路におけるアイソレーションの周波数特性は単調増加である。

【0024】

【発明が解決しようとする課題】

しかしながら、上述した従来例 1 及び従来例 2 のスイッチ回路については言うまでもなく、従来例 3 のスイッチ回路においても、低挿入損失を維持しつつ、広帯域に高いアイソレーションを比較的小型なものとして実現することは、實際上困難であった。以下、この点について、詳細に説明する。

【0025】

従来例 3 のスイッチにおいて、アイソレーションの周波数に関する 0 次の項は、式 (10) のように表される。

【0026】

【数 10】

$$IL_{DC} = \left(\frac{2}{2 + \frac{Z_0}{r}} \right)^2 \quad \dots (10)$$

式 (10) から理解されるように、分布定数 FET の抵抗 r が小さいほど、アイソレーションが大きくなる。尚、分布定数 FET を用いたスイッチ回路におけるアイソレーションの周波数に関する 0 次近似は、前述の式 (2) で示される集中定数 FET を用いたシャント構成のスイッチ回路のアイソレーションに一致する。

【0027】

従って、従来例3のスイッチ回路において、高いアイソレーションを得るためには、ゲートフィンガー長を長くして、分布定数FETの抵抗 r を減らさなければならない。具体的には、従来例3のスイッチ回路において80dB以上の高いアイソレーションを得るためには、ゲートフィンガー長を例えば1mmと伸ばして分布定数FETの抵抗 r を減らす必要がある。このようにゲートフィンガー長を延ばすことは、マイクロ波・ミリ波単一集積回路(MMIC)のチップサイズが大きくなるということを意味する。

【0028】

これらのことから理解されるように、マイクロ波・ミリ波帯のスイッチ回路において、従来技術では、低挿入損失を保ったままで、広帯域に80dB以上という高いアイソレーションを比較的小型な構造にて実現するのが困難であるという問題点があった。これは、各従来技術における回路構成に起因して、夫々、例えば、挿入損失とアイソレーションのトレードオフ関係、共振を用いるが故の狭帯域特性、又は分布定数FETの抵抗とチップサイズとのトレードオフ関係が存在したことによる。

【0029】

本発明は、これら従来技術の有する問題点に鑑みなされたものであり、特に60GHz以上の高い周波数において従来技術では実現困難であった80dB以上の高いアイソレーションを、広帯域かつ低損失で、得ることのできる小型なマイクロ波・ミリ波帯スイッチ回路を提供することを目的とする。

【0030】

【課題を解決するための手段】

本発明は、上述した課題を解決するための手段として、以下に示す半導体スイッチ及びスイッチ回路を提供する。

【0031】

即ち、本発明によれば、第1の半導体スイッチとして、ゲート電極、ソース電極及びドレイン電極が半導体基板上に形成されると共に活性層に囲まれてなる電界効果トランジスタを利用した半導体スイッチであって、

前記ソース電極及び前記ドレイン電極が、双方とも接地されると共に所定方向において互いに平行に配されており、且つ、前記ゲート電極が、前記ソース電極及びドレイン電極の間に形成されてなる構造を備え、

前記ゲート電極の前記所定方向における両端には、夫々、当該半導体スイッチの第一、第二の入出力端子が接続されることを特徴とする半導体スイッチが得られる。

【0032】

また、本発明によれば、第2の半導体スイッチとして、アノード電極及びカソード電極が半導体基板上に形成されると共に活性層に囲まれてなるダイオードを利用した半導体スイッチであって、

前記半導体基板上に形成されると共に前記活性層に囲まれた付加的なカソード電極を更に有し、

前記カソード電極及び付加的なカソード電極が、双方とも接地されると共に所定方向において互いに平行に配されており、且つ、前記アノード電極が、前記カソード電極及び付加的なカソード電極の間に形成されてなる構造を備え、

前記アノード電極の前記所定方向における両端には、夫々、当該半導体スイッチの第一、第二の入出力端子が接続されることを特徴とする半導体スイッチが得られる。

【0033】

更に、本発明によれば、第3のスイッチ回路として、アノード電極及びカソード電極が半導体基板上に形成されると共に活性層に囲まれてなるダイオードを利用した半導体スイッチであって、

前記半導体基板上に形成されると共に前記活性層に囲まれた付加的なアノード電極を更に有し、

前記アノード電極及び付加的なアノード電極が、双方とも接地されると共に所定方向において互いに平行に配されており、且つ、前記カソード電極が、前記アノード電極及び付加的なアノード電極の間に形成されてなる構造を備え、

前記カソード電極の前記所定方向における両端には、夫々、当該半導体スイッチの第一、第二の入出力端子が接続される

ことを特徴とする半導体スイッチが得られる。

【0034】

また、本発明によれば、第4の半導体スイッチとして、夫々金属導体からなるソース電極、ゲート電極、及びドレイン電極が半導体基板上に所定方向に平行に延設されてなるMESFETを利用した半導体スイッチであって、

前記ソース電極、ゲート電極、及びドレイン電極が活性層に囲まれ、且つ、前記ソース電極及び前記ドレイン電極は接地された構造を備え、

前記ゲート電極の前記所定方向における一端と他端とは、夫々、当該半導体スイッチの第1及び第2の入出力部として動作する

ことを特徴とする半導体スイッチが得られる。

【0035】

更に、本発明によれば、第5の半導体スイッチとして、夫々金属導体からなるアノード電極及びカソード電極が半導体基板上に所定方向に平行に延設されてなるショットキー障壁ダイオードを利用した半導体スイッチであって、

前記アノード電極又はカソード電極のいずれか一方の電極を、他方の電極と共に、挟むようにして、且つ、前記半導体基板上に前記所定方向に平行に延設された付加的な電極を更に有し、

前記アノード電極、カソード電極及び付加的な電極が活性層に囲まれ、且つ、前記他方の電極及び付加的な電極が接地された構造を備え、

前記一方の電極の前記所定方向における一端と他端とは、夫々、当該半導体スイッチの第1及び第2の入出力部として動作する

ことを特徴とする半導体スイッチが得られる。

【0036】

また、本発明によれば、第1のスイッチ回路として、信号線路の両側に接地導体を配してなるコプレーナ伝送線路と電界効果トランジスタとを備えるスイッチ回路であって、

前記コプレーナ伝送線路の一端が、第1の入出力部として動作し、前記コプレーナ伝送線路の他端が、前記電界効果トランジスタのゲートに接続され、

前記電界効果トランジスタのゲートが、第2の入出力部として動作し、前記電

界効果トランジスタのソース及びドレインが、双方とも接地されていることを特徴とするスイッチ回路が得られる。

【0037】

また、本発明によれば、第2のスイッチ回路として、前記第1のスイッチ回路を、前記信号線路に沿うように、複数個直列に接続してなるスイッチ回路が得られる。

【0038】

更に、本発明によれば、第3のスイッチ回路として、前記第1又は第2のいずれかのスイッチ回路において、信号線路の両側に接地導体を配してなる付加的なコプレーナ伝送線路とを更に有し、

当該付加的なコプレーナ伝送線路の一端が、当該スイッチ回路の最も外側に位置する前記電界効果トランジスタの前記第2の入出力部に接続され、当該付加的なコプレーナ伝送線路の他端が、付加的な第2の入出力部として動作することを特徴とするスイッチ回路が得られる。 また、本発明によれば、第4のスイッチ回路として、信号線路の両側に接地導体を配してなるコプレーナ伝送線路とダイオードとを備えるスイッチ回路であって、

前記コプレーナ伝送線路の一端が、第1の入出力部として動作し、前記コプレーナ伝送線路の他端が、前記ダイオードのカソードに接続され、

前記ダイオードのカソードが、第2の入出力部として動作し、前記ダイオードのアノードが、接地されていることを特徴とするスイッチ回路が得られる。

【0039】

また、本発明によれば、第5のスイッチ回路として、前記第4のスイッチ回路を、前記信号線路に沿うように、複数個直列に配してなるスイッチ回路が得られる。

【0040】

更に、本発明によれば、第6のスイッチ回路として、前記第4又は第5のいずれかのスイッチ回路において、信号線路の両側に接地導体を配してなる付加的なコプレーナ伝送線路を更に有し、

当該付加的なコプレーナ伝送線路の一端が、当該スイッチ回路の最も外側に位置するダイオードの前記第2の入出力部に接続され、当該付加的なコプレーナ伝送線路の他端は、付加的な第2の入出力部として動作する

ことを特徴とするスイッチ回路が得られる。 また、本発明によれば、第7のスイッチ回路として、信号線路の両側に接地導体を配してなるコプレーナ伝送線路とダイオードとを備えるスイッチ回路であって、

前記コプレーナ伝送線路の一端が、第1の入出力部として動作し、前記コプレーナ伝送線路の他端が、前記ダイオードのアノードに接続され、

前記ダイオードのアノードが、第2の入出力部として動作し、前記ダイオードのカソードが、接地されている

ことを特徴とするスイッチ回路が得られる。

【0041】

また、本発明によれば、第8のスイッチ回路として、前記第7のスイッチ回路を、前記信号線路に沿うように、複数個直列に配してなるスイッチ回路が得られる。

【0042】

更に、本発明によれば、第9のスイッチ回路として、前記第7又は第8のいずれかのスイッチ回路において、信号線路の両側に接地導体を配してなる付加的なコプレーナ伝送線路を更に有し、

当該付加的なコプレーナ伝送線路の一端が、当該スイッチ回路の最も外側に位置するダイオードの前記第2の入出力部に接続され、当該付加的なコプレーナ伝送線路の他端は、付加的な第2の入出力部として動作する

ことを特徴とするスイッチ回路が得られる。尚、前記第1乃至第9のいずれかのスイッチ回路は、前記コプレーナ線路の信号線路に対して、所望の周波数帯でハイ・インピーダンスとなるような直流バイアスを印加するバイアス回路を接続して、当該スイッチ回路の最も外側に位置するコプレーナ伝送線路あるいは電界効果トランジスタ、ダイオードに、DCカットのための容量を直列に接続し、容量の他端がそれぞれ第一、第二の入出力部として動作するように構成される。

【0043】

このような構成を備える本発明の半導体スイッチ及びスイッチ回路における作用は、例えば、第1の半導体スイッチ及び第3のスイッチ回路を例に取り、次のように説明される。

【0044】

本発明による第1の半導体スイッチ及び第3のスイッチ回路は、オン状態においては損失の無いコプレーナ線路として機能し、オフ状態においては損失のあるコプレーナ線路として機能する。かかる点においては、従来例3のスイッチ回路と同様である。従って、本発明によるスイッチの挿入損失は、前述の式(4)から式(6)で表され、また、アイソレーションについても同様に、式(7)から式(9)で表される。更に、本発明によるスイッチにおいても、アイソレーションは、周波数に関して単調に増加する。

【0045】

前述したように、オン状態及びオフ状態において夫々損失の無い及び損失のあるコプレーナ線路として機能するスイッチ回路について、アイソレーションの周波数に関する0次近似は、式(10)で表される。また、この式から理解されるように、アイソレーションを大きくするには抵抗 r を小さくすればよいことも、前述した通りである。

【0046】

定性的にはシート抵抗値が一定であるならば、素子の幅を広くすれば抵抗値が小さくなり、また、素子の長さを長くすれば抵抗値が大きくなることは、一般に知られている。

【0047】

ここで、FETの幅が一定であるとして従来例3のスイッチ回路と本発明による半導体スイッチ又はスイッチ回路とを比較すると、次のようなことが理解される。即ち、従来例3における分布定数FETの抵抗値は、ソース・ドレイン間距離で決まっている。これに対して、本発明によるスイッチにおいて、アイソレーションを決定する抵抗の抵抗値は、ゲート・ソース・ドレイン間の距離に依存している。詳しくは、本発明によるスイッチは、いわゆるショットキー障壁形FETのソース、ゲート、ドレインが活性層に囲まれ、且つ、ソース及びドレインが

接地された構成を備える。このため、ゲート・ソース間及びゲート・ドレイン間に対して、ゲートに流れる電流値がソース・ドレイン抵抗で定められるような順バイアス電圧をゲート電圧として供給すると、本発明のスイッチにおけるアイソレーションを決定する抵抗は、ゲート・ソース間或いはゲート・ドレイン間におけるショットキー障壁ダイオードのソース抵抗或いはドレイン抵抗であることが理解される。即ち、本発明によるスイッチにおいて、アイソレーションを決定する抵抗値は、従来例 3 とは異なり、ゲート・ソース・ドレイン間の距離で決まる。このことから、一般にスイッチに用いる FET のゲート電極は、ソース・ドレイン間の中間に配置されるため、単純に考えても、本発明のスイッチにおいて、アイソレーションを決定する抵抗の抵抗値は、従来例 3 のほぼ二分の一の大きさになっていることが理解される。尚、理解を容易にするため、コンタクト抵抗は、一定であるとする。これらのことから理解されるように、本発明による半導体スイッチは、従来例 1 及び 2 は言うに及ばず、従来例 3 のスイッチと比較しても、小型且つ低損失で、高アイソレーションを実現することができる。

【0048】

【発明の実施の形態】

以下に、本発明の実施の形態による半導体スイッチ及びスイッチ回路について、図面を参照して詳細に説明する。

【0049】

(第 1 の実施の形態)

本発明の第 1 の実施の形態による半導体スイッチは、図 1 に示されるような構成を備えており、また、本発明の第 1 の実施の形態によるスイッチ回路は、図 2 に示されるような構成を備えている。尚、図 1 は、本実施の形態による半導体スイッチの平面図であり、図 2 は、同スイッチ回路の回路図である。

【0050】

図 1 を参照すると、本実施の形態による半導体スイッチは、活性層 3 に囲まれたソース電極 4、ドレイン電極 5、及びゲート電極を有している。これらの電極は、半導体基板上に、所定方向（この例においては、紙面左右方向）において、互いに平行になるように配されている。ソース電極 4 及びドレイン電極 5 は、夫

々、接地されており、ゲート電極 6 は、これらソース電極 4 及びドレイン電極 5 の間に配されている。ゲート電極 6 の所定方向における両端は、夫々、第 1 及び第 2 の入出力部として動作し、第一の入出力端子 1 及び第二の入出力端子 2 に接続される。

【0051】

この構成は、回路的に見ると、図 2 に示されるように、第一のコプレーナ線路 9 の信号線路の一端に第一の入出力端子 1 が接続され、第一のコプレーナ線路 9 の信号線路の他端には第一の電界効果トランジスタ 10 のゲートが接続され、第二のコプレーナ線路 11 の信号線路の一端に第二の入出力端子 2 が接続され、第二のコプレーナ線路 2 の信号線路の他端には第二の電界効果トランジスタ 12 のゲートが接続され、更に、第一の電界効果トランジスタ 10 と第二の電界効果トランジスタ 12 の間には、複数個のコプレーナ線路と複数個の電界効果トランジスタが交互に直列に接続してなるスイッチ回路と等価である。尚、本実施の形態において、各コプレーナ線路は、信号線路を接地導体で挟むような構成を備えており、各電界効果トランジスタは、分布定数型 FET であり、且つ、そのソース及びドレインを接地されている。かかる構成の半導体スイッチ、スイッチ回路は、ソース電極及びドレイン電極を接地した分布定数 FET において、ゲート電極の長手方向の両端に入出力端子を接続した平面パターンとして実装され、また、MESFET (metal-semiconductor field-effect transistor) のソース・ドレイン電極を接地することでも容易に形成することができる。

【0052】

このような構成を備えた半導体スイッチ、スイッチ回路は、ゲート電極 6 にたいして、抵抗を介したバイアス線路（図示せず）によって正電圧およびゼロバイアスが活性層 3 の外側で印加されるようになっている。このとき、必要に応じてゲート電極 6 と各入出力端子の間に DC カット用の容量を挿入する。

【0053】

ゲート電極 6 に正電圧が印加され、ゲート電極に電流が流れているとき、ゲート・ソース間及びゲート・ドレイン間には、順バイアスが与えられることとなり

、ショートとみなせる。このときゲートソース間およびゲートドレイン間の夫々は、等価的に抵抗で表すことができ、従って、スイッチの等価回路は、シャントにコンダクタンスを有するロスのあるコプレーナ線路となる。つまり、スイッチは、オフ状態となる。この状態におけるアイソレーション特性は、シャントのコンダクタンス G を用いて、前述の式 (7) から式 (9) で計算することができる。

【0054】

一方、ゲート電極 6 に対して、ゼロバイアスが供給されている場合、ゲートソース間およびゲートドレイン間はオープンとみなせ、それらの等価回路は容量で表すことができる。このとき、スイッチは、等価的にロスのないコプレーナ線路の回路構成と同一であり、オン状態となる。

【0055】

ここで、本実施の形態による半導体スイッチ、スイッチ回路の一の特徴は、ゲートソース間及びゲートドレイン間のシャント容量によって、コプレーナ線路の特性インピーダンスが低くなっているところにある。従って、コプレーナ線路の特性インピーダンスと入出力端子のインピーダンスとのミスマッチングにより反射が生じることとなり、また、その反射によって挿入損失が発生する。この挿入損失は、前述の式 (4) から式 (6) によって計算することができる。本実施の形態による半導体スイッチ、スイッチ回路の場合、オン状態とオフ状態の切替が正電源にて行える点も特徴である。

【0056】

本実施の形態について更なる理解を深めるべく、以下に、本実施の形態による半導体スイッチ、スイッチ回路の実施例を掲げ、図面を参照しながら、詳細に説明する。

【0057】

本実施例においては、上述した第 1 の実施の形態における FET として、AlGaAs/InGaAs 系のヘテロ接合 FET を用いた。また、ゲート電極 6 の面積を、 $2 \times 400 \mu\text{m}$ とし、ゲート電極 6 とソース電極 4 又はドレイン電極 5 との間隔を $2.5 \mu\text{m}$ とした。更に、ゲート電極 6 の両端には、夫々、第一の入

出力端子 1 及び第二の入出力端子 2 が接続されており、且つ、第一の入出力端子 1 及び第二の入出力端子 2 には、夫々、 $50\ \Omega$ の負荷が接続されている。尚、ゲートソース間及びゲートドレイン間におけるゼロバイアス時の容量は、 $100\ \mu\text{m}$ あたり $20\ \text{fF}$ であり、一方、順バイアス時の抵抗は、 $100\ \mu\text{m}$ あたり $3.3\ \Omega$ である。また、コプレーナ線路の全体の長さは、 $400\ \mu\text{m}$ である。

【0058】

このような構成を備える本実施例による半導体スイッチにおいては、ゲートに $2\ \text{V}$ と $0\ \text{V}$ を印加し、オン／オフ状態を切り替える。その動作原理は、前述の通りである。

【0059】

この実施例による半導体スイッチの挿入損失及びアイソレーションの周波数特性は、図 3 に示される。図 3 を参照すれば理解されるように、双方とも広帯域な特性を示しており、 $76.0\ \text{GHz}$ における挿入損失は $1.7\ \text{dB}$ 、アイソレーションは $81\ \text{dB}$ となっている。即ち、本実施例による半導体スイッチは、従来困難であった、 $60\ \text{GHz}$ 以上の高い周波数においても低い挿入損失を維持しながら、 $80\ \text{dB}$ 以上という高いアイソレーションを実現したものである。このような効果が得られるのは、前述したように、オフ状態にあるスイッチにおいて、シャントのコンダクタンスが従来技術によるスイッチ回路の 2 倍、即ち抵抗値が $1/2$ となっているためである。尚、上述したように、本実施例によるスイッチが正電源のみで動作するという点も特徴であることは、言うまでもない。

【0060】

(第 2 の実施の形態)

本発明の第 2 の実施の形態による半導体スイッチは、図 4 に示されるような構成を備えており、また、本発明の第 2 の実施の形態によるスイッチ回路は、図 5 に示されるような構成を備えている。尚、図 4 は、本実施の形態による半導体スイッチの平面図であり、図 5 は、同スイッチ回路の回路図である。

【0061】

図 4 を参照すると、本実施の形態による半導体スイッチは、活性層 3 に囲まれた二本のアノード電極 7 とカソード電極 8 とを有している。二本の内、一本のア

ノード電極 7 は、カソード電極 8 と共にショットキー障壁ダイオードを形成している。また、他の一本のアノード電極 7 は、同じくカソード電極 8 と共にショットキー障壁ダイオードを形成していると捉えても良いし、ショットキー障壁ダイオードに併設された付加的な電極であると捉えても良い。いずれにしても、二本のアノード電極 7 は、共に接地されており、半導体基板上に、所定方向（この例においては、紙面左右方向）において、互いに平行になるように配されている。また、カソード電極 8 は、二本のアノード電極 7 の間に挟まれるように、且つ、同じく半導体基板上に、所定方向において、平行になるように配されている。アノード電極 7 は、半導体結晶とショットキー接合しており、カソード電極 8 は、半導体結晶とオーミック接合している。カソード電極 8 の所定方向における両端は、夫々、第 1 及び第 2 の入出力部として動作し、第一の入出力端子 1 及び第二の入出力端子 2 に接続される。かかる半導体スイッチは、活性層 3 の外側において、カソード電極 8 にたいして、抵抗を介したバイアス線路（図示せず）によって負電圧又はゼロバイアスを供給することにより、駆動される。このとき、必要に応じてカソード電極 8 と各入出力端子の間に DC カット用の容量を挿入する。

【0062】

この構成は、回路的に見ると、図 5 に示されるように、第一のコプレーナ線路 9 の信号線路の一端に第一の入出力端子 1 が接続され、第一のコプレーナ線路 9 の信号線路の他端には第一のダイオード 13 のカソードが接続され、第二のコプレーナ線路 11 の信号線路の一端に第二の入出力端子 2 が接続され、第二のコプレーナ線路 11 の信号線路の他端には第二のダイオード 14 のカソードが接続され、更に、第一のダイオード 13 と第二のダイオード 14 の間に複数個のコプレーナ線路と複数個のダイオードが交互に直列に接続してなるスイッチ回路と等価である。尚、本実施の形態において、各コプレーナ線路は、信号線路を接地導体で挟むような構成を備えており、各ダイオードは、分布定数型であり、且つ、そのアノードを接地されている。

【0063】

本実施の形態について更なる理解を深めるべく、以下に、本実施の形態による半導体スイッチ、スイッチ回路の実施例を掲げ、図面を参照しながら、詳細に説

明する。

【0064】

本実施例においては、カソード電極 8 の面積を、 $5 \times 400 \mu\text{m}$ とし、カソード電極 8 とアノード電極 7 との間隔を $3 \mu\text{m}$ とした。また、カソード電極 8 の両端には、夫々、第一の入出力端子 1 及び第二の入出力端子 2 が接続されており、且つ、第一の入出力端子 1 及び第二の入出力端子 2 には、夫々、 50Ω の負荷が接続されている。尚、カソードーアノード間におけるゼロバイアス時の容量は、 $100 \mu\text{m}$ あたり 20 fF であり、一方、順バイアス時の抵抗は、 $100 \mu\text{m}$ あたり 4Ω である。また、コプレーナ線路の全体の長さは、 $400 \mu\text{m}$ である。

【0065】

このような構成を備える本実施例による半導体スイッチにおいては、カソードに負電圧（本例においては、 -2 V ）及びゼロバイアスを供給することでスイッチの状態を切り換える。即ち、本実施例による半導体スイッチのカソードに負電圧を印加すると、ダイオードは順バイアスをかけられ、その等価回路は、抵抗で表されることから、スイッチは、シャントにコンダクタンスを持ったロスのあるコプレーナ線路とみなせる。つまり、スイッチは、このとき、オフ状態となる。一方、本実施例による半導体スイッチのカソードにゼロバイアスを供給したとき、ダイオードは容量で等価的に表されることから、スイッチは、ロスのないコプレーナ線路と等価である。従って、スイッチは、このとき、オン状態となる。

【0066】

この実施例による半導体スイッチの挿入損失及びアイソレーションの周波数特性は、図 6 に示される。図 6 を参照すれば理解されるように、双方とも広帯域名特性を示しており、 110.0 GHz における挿入損失は 1.7 dB 、アイソレーションは 82 dB となっている。即ち、本実施例による半導体スイッチは、従来困難であった、 60 GHz 以上の高い周波数においても低い挿入損失を維持しながら、 80 dB 以上という高いアイソレーションを実現したものであることが容易に理解できる。

【0067】

ここで、カソードに対して正・負両電源を印加できるとする。この場合、ダイ

オードは、正電圧が5Vのとき逆方向にバイアスされることとなり、ゼロバイアス時に比べてその容量が減少する。また、このときスイッチはオン状態であるが、スイッチのインピーダンスが50Ωに近くなるため挿入損失は低くなる。この場合における本実施例による半導体スイッチの挿入損失とアイソレーションの周波数特性は、図7に示される。図7を参照すれば明らかなように、挿入損失はゼロバイアス時に比べて低減し、110.0GHzにおいて1.5dBとなっている。尚、アイソレーションについては、前述の式(7)から式(9)から明らかなように、ダイオードの容量によらないため、82dBであり、ゼロバイアス時と何ら変わらない。

【0068】

(第3の実施の形態)

本発明の第3の実施の形態による半導体スイッチは、図8に示されるような構成を備えており、また、本発明の第3の実施の形態によるスイッチ回路は、図9に示されるような構成を備えている。尚、図8は、本実施の形態による半導体スイッチの平面図であり、図9は、同スイッチ回路の回路図である。

【0069】

図8を参照すると、本実施の形態による半導体スイッチは、活性層3に囲まれた二本のカソード電極8とアノード電極7とを有している。二本の内、一本のカソード電極8は、アノード電極7と共にショットキー障壁ダイオードを形成している。また、他の一本のカソード電極8は、同じくアノード電極7と共にショットキー障壁ダイオードを形成していると捉えても良いし、ショットキー障壁ダイオードに併設された付加的な電極であると捉えても良い。いずれにしても、二本のカソード電極8は、共に接地されており、半導体基板上に、所定方向(この例においては、紙面左右方向)において、互いに平行になるように配されている。また、アノード電極7は、二本のカソード電極8の間に挟まれるように、且つ、同じく半導体基板上に、所定方向において、平行になるように配されている。アノード電極7は、半導体結晶とショットキー接合しており、カソード電極8は、半導体結晶とオーミック接合している。アノード電極7の所定方向における両端は、夫々、第1及び第2の入出力部として動作し、第一の入出力端子1及び第二

の入出力端子2に接続される。かかる半導体スイッチは、活性層3の外側において、アノード電極7にたいして、抵抗を介したバイアス線路（図示せず）によって正電圧又はゼロバイアスを供給することにより、駆動される。

【0070】

この構成は、回路的に見ると、図9に示されるように、第一のコプレーナ線路9の信号線路の一端に第一の入出力端子1が接続され、第一のコプレーナ線路9の信号線路の他端には第一のダイオード13のアノードが接続され、第二のコプレーナ線路11の信号線路の一端に第二の入出力端子2が接続され、第二のコプレーナ線路11の信号線路の他端には第二のダイオード14のアノードが接続され、更に、第一のダイオード13と第二のダイオード14の間に複数個のコプレーナ線路と複数個のダイオードが交互に直列に接続してなるスイッチ回路と等価である。尚、本実施の形態において、各コプレーナ線路は、信号線路を接地導体で挟むような構成を備えており、各ダイオードは、分布定数型であり、且つ、そのカソードを接地されている。

【0071】

本実施の形態について更なる理解を深めるべく、以下に、本実施の形態による半導体スイッチ、スイッチ回路の実施例を掲げ、図面を参照しながら、詳細に説明する。

【0072】

本実施例においては、アノード電極7の面積を、 $10 \times 400 \mu\text{m}$ とし、カソード電極8とアノード電極7との間隔を $3 \mu\text{m}$ とした。また、アノード電極7の両端には、夫々、第一の入出力端子1及び第二の入出力端子2が接続されており、且つ、第一の入出力端子1及び第二の入出力端子2には、夫々、 50Ω の負荷が接続されている。尚、カソードーアノード間におけるゼロバイアス時の容量は、 $100 \mu\text{m}$ あたり 20 fF であり、一方、順バイアス時の抵抗は、 $100 \mu\text{m}$ あたり 4Ω である。また、コプレーナ線路の全体の長さは、 $400 \mu\text{m}$ である。

【0073】

このような構成を備える本実施例による半導体スイッチにおいては、アノードに正電圧（本例においては、 2 V ）及びゼロバイアスを供給することでスイッチ

の状態を切り換える。即ち、本実施例による半導体スイッチのアノードに正電圧を印加すると、ダイオードは順バイアスをかけられ、その等価回路は、抵抗で表されることから、スイッチは、シャントにコンダクタンスを持ったロスのあるコプレーナ線路とみなせる。つまり、このとき、スイッチは、オフ状態となる。一方、本実施例による半導体スイッチのアノードにゼロバイアスを供給したとき、ダイオードは容量で等価的に表されることから、スイッチは、ロスのないコプレーナ線路と等価である。従って、スイッチは、このとき、オン状態となる。

【0074】

この実施例による半導体スイッチの挿入損失及びアイソレーションの周波数特性は、図10に示される。図10を参照すれば理解されるように、前述の第1及び第2の実施の形態に対応する二つの実施例と同じく、挿入損失もアイソレーションも広帯域な特性を示している。また、114.0GHzにおける挿入損失は1.6dB、アイソレーションは79dBとなっている。即ち、本実施例による半導体スイッチは、従来困難であった、60GHz以上の高い周波数においても低い挿入損失を維持しながら、80dB程度という高いアイソレーションを実現したものであることが容易に理解できる。

【0075】

図11は、第3の実施の形態に対する他の実施例による半導体スイッチの挿入損失及びアイソレーションの周波数特性図である。本例においては、アノード電極7の面積を $10 \times 400 \mu\text{m}$ とし、カソード電極8とアノード電極7との間隔を $2.5 \mu\text{m}$ とした。また、アノード電極7の両端には、夫々、第一の入出力端子1及び第二の入出力端子2が接続され、且つ、第一の入出力端子1及び第二の入出力端子2には、夫々、 50Ω の負荷が接続されている。カソードーアノード間におけるゼロバイアス時の容量は、 $100 \mu\text{m}$ あたり 20 fF であり、一方、順バイアス時の抵抗は、 $100 \mu\text{m}$ あたり 3.3Ω である。また、コプレーナ線路の全体の長さは、 $400 \mu\text{m}$ である。

【0076】

このような構成を備える本例による半導体スイッチを、先程の実施例とは異なり、アノードに正・負両電源を印加することで、スイッチのオン／オフを切り替

える場合について考察する。例えば、アノードに 2 V 印加したとき、スイッチはオフ状態となり、-5 V 印加したとき、スイッチはオン状態となる。図 11 は、このときの特性を示す。図 11 を参照すれば理解されるように、上述した三つの実施例と同じく、挿入損失もアイソレーションも広帯域な特性を示している。134.0 GHz における挿入損失は 1.5 dB、アイソレーションは 85 dB である。即ち、本実施例による半導体スイッチもまた、従来困難であった、60 GHz 以上の高い周波数においても低い挿入損失を維持しながら、80 dB 以上という高いアイソレーションを実現したものであることが容易に理解できる。

【0077】

尚、以上例示した各実施例においては、コプレーナ線路の全体の長さを 400 μm として説明してきたが、これは、言うまでもなく一例であり、この長さに限定されないことは言うまでもない。この長さは、必要な挿入損失、アイソレーションを得るための設計パラメータの一つである。また、本発明は、コプレーナ線路に限らず、伝送線路一般において適用できることも言うまでもない。

【0078】

【発明の効果】

以上説明したように、本発明によれば、60 GHz 以上の高い周波数においても低い挿入損失を維持しながら、80 dB 以上という高いアイソレーションが得られる。この効果は、従来分布定数効果を有する FET のソース・ドレイン間の抵抗を用いたスイッチに比べて、たとえば二分の一程度の低い抵抗を用いることに起因する。けだし、ダイオードにおけるアノード・カソード間や FET におけるゲート・ドレイン間、ゲート・ソース間の距離が FET のソース・ドレイン間の距離より短く設定されうるためである。

【0079】

さらに、上述した第 1 及び第 3 の実施の形態においては、正電源のみを使用してスイッチを制御でき、負電源回路を具備する必要がない点でも有効であると言える。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態による半導体スイッチを示す平面図である。

【図 2】

本発明の第 1 の実施の形態による半導体スイッチと等価なスイッチ回路の回路図である。

【図 3】

本発明の第 1 の実施の形態に対応した実施例による半導体スイッチの挿入損失及びアイソレーションの周波数特性を示す図である。

【図 4】

本発明の第 2 の実施の形態による半導体スイッチを示す平面図である。

【図 5】

本発明の第 2 の実施の形態による半導体スイッチと等価なスイッチ回路の回路図である。

【図 6】

本発明の第 2 の実施の形態に対応した実施例による半導体スイッチを、負電源のみを使用して制御した場合における挿入損失及びアイソレーションの周波数特性を示す図である。

【図 7】

本発明の第 2 の実施の形態に対応した実施例による半導体スイッチを、正・負両電源を使用して制御した場合における挿入損失及びアイソレーションの周波数特性を示す図である。

【図 8】

本発明の第 3 の実施の形態による半導体スイッチを示す平面図である。

【図 9】

本発明の第 3 の実施の形態による半導体スイッチと等価なスイッチ回路の回路図である。

【図 10】

本発明の第 3 の実施の形態に対応した一実施例による半導体スイッチの挿入損失及びアイソレーションの周波数特性を示す図である。

【図 11】

本発明の第3の実施の形態に対応した他の実施例による半導体スイッチの挿入損失及びアイソレーションの周波数特性を示す図である。

【図12】

従来例1のM. CaseらによるSP3Tスイッチの回路図である。

【図13】

従来例2のTakasuらによるSPSTスイッチの回路図である。

【図14】

従来例2のTakasuらによるSPSTスイッチのオフ時における等価回路図である。

【図15】

従来例2のTakasuらによるSPSTスイッチの挿入損失及びアイソレーションの周波数特性を示す図である。

【図16】

従来例3のH. MizutaniらによるSPSTスイッチの等価回路図である。

【図17】

従来例3のH. MizutaniらによるSPSTスイッチのオン状態における等価回路図である。

【図18】

従来例3のH. MizutaniらによるSPSTスイッチのオフ状態における等価回路図である。

【図19】

従来例3のH. MizutaniらによるSPSTスイッチの挿入損失及びアイソレーションの周波数特性を示す図である。

【符号の説明】

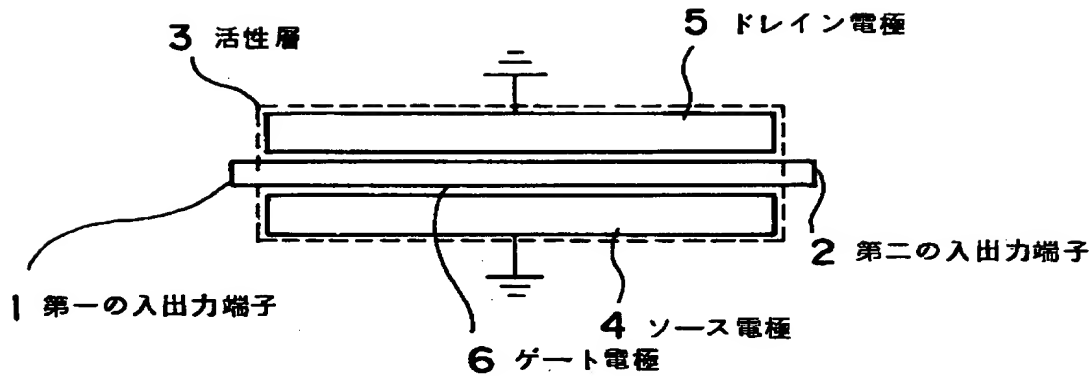
- 1 第一の入出力端子
- 2 第二の入出力端子
- 3 活性層
- 4 ソース電極

- 5 ドレイン電極
- 6 ゲート電極
- 7 アノード電極
- 8 カソード電極
- 9 第一のコプレーナ線路
- 10 第一の電界効果トランジスタ
- 11 第二のコプレーナ線路
- 12 第二の電界効果トランジスタ
- 13 第一のダイオード
- 14 第二のダイオード

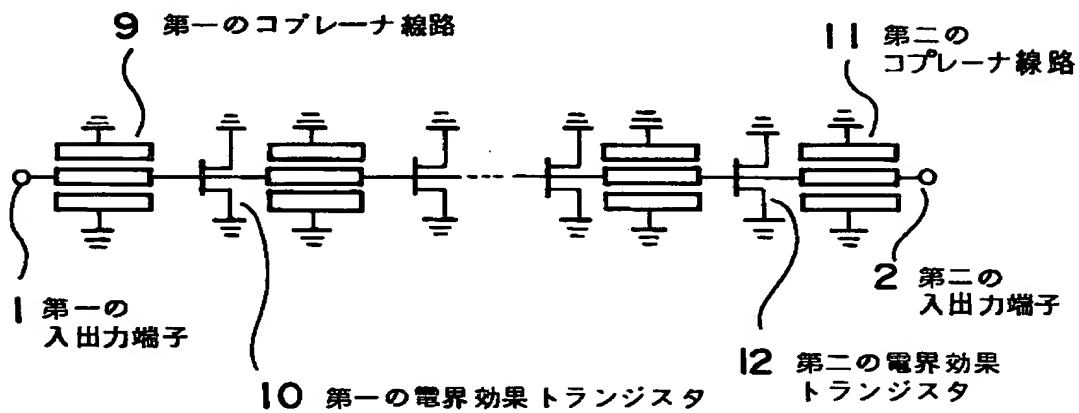
【書類名】

図面

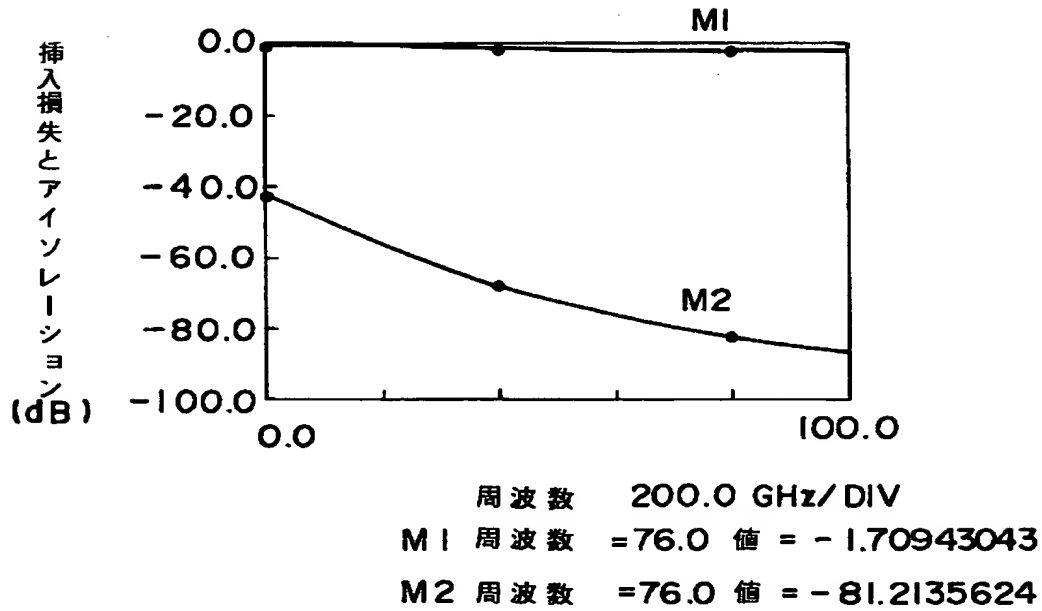
【図 1】



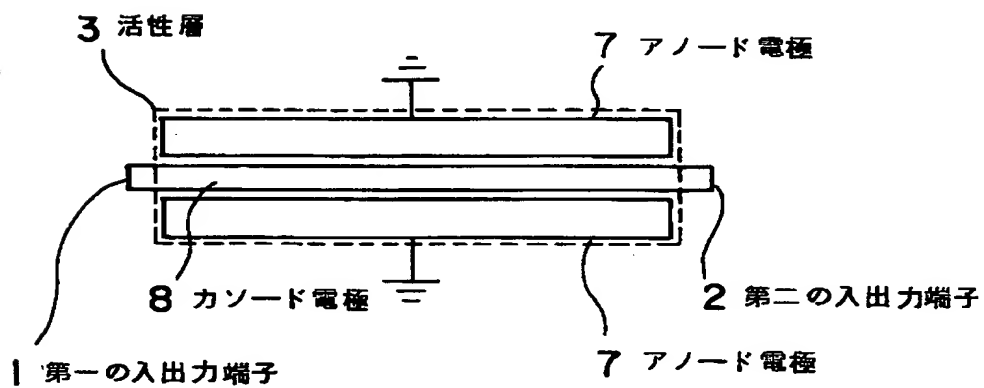
【図 2】



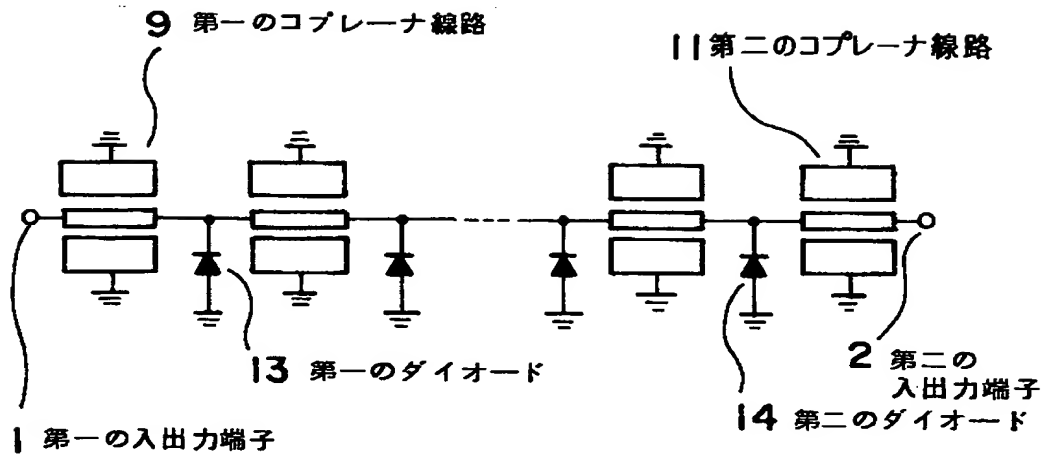
【図3】



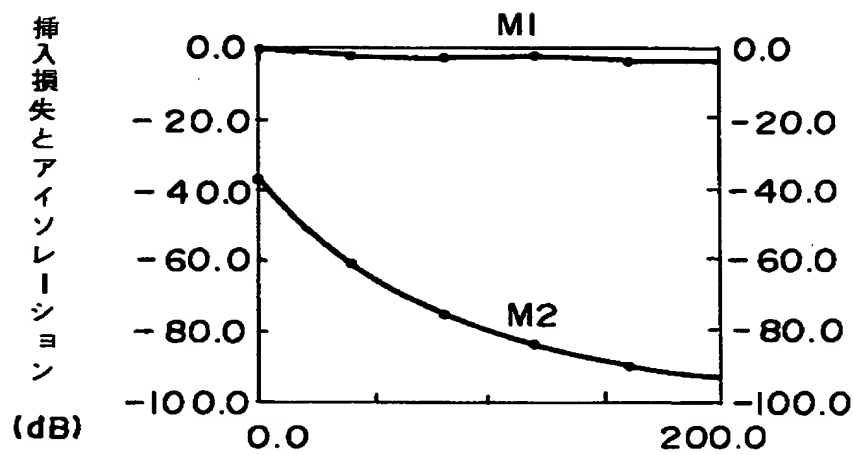
【図4】



【図 5】



【図 6】

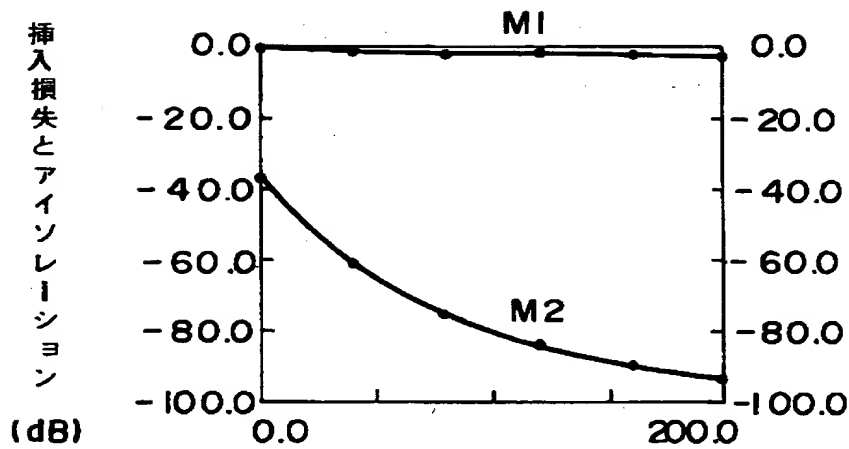


周波数 60.0 GHz / DIV

M1 周波数 = 110.0 値 = -1.73912687

M2 周波数 = 110.0 値 = -82.0091230

【図 7】

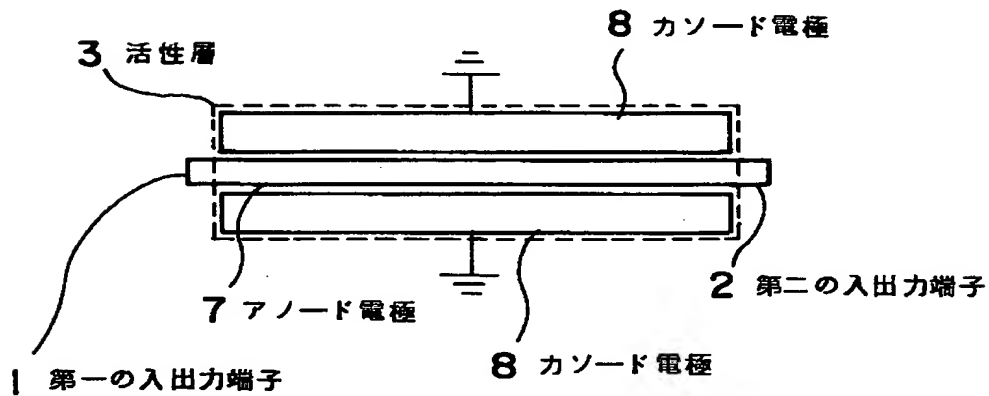


周波数 60.0 GHz / DIV

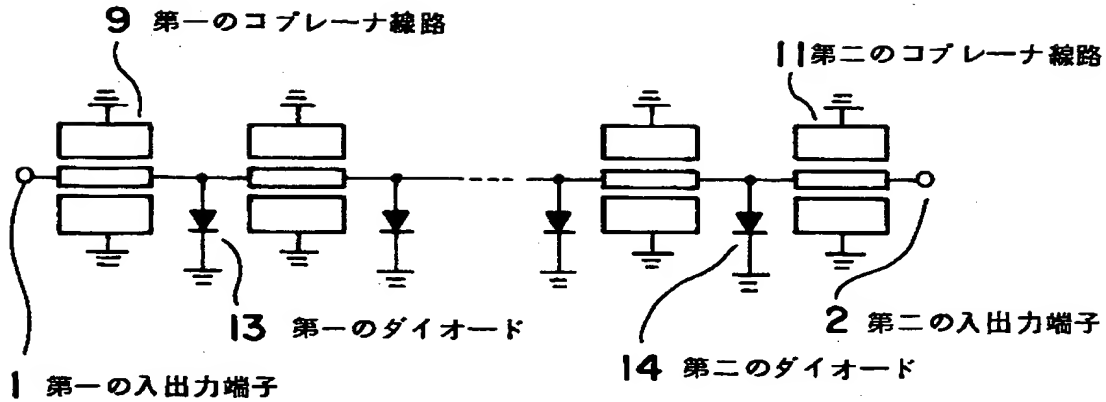
M1 周波数 =110.0 値 =-1.49603395

M2 周波数 =110.0 値 =-82.0091230

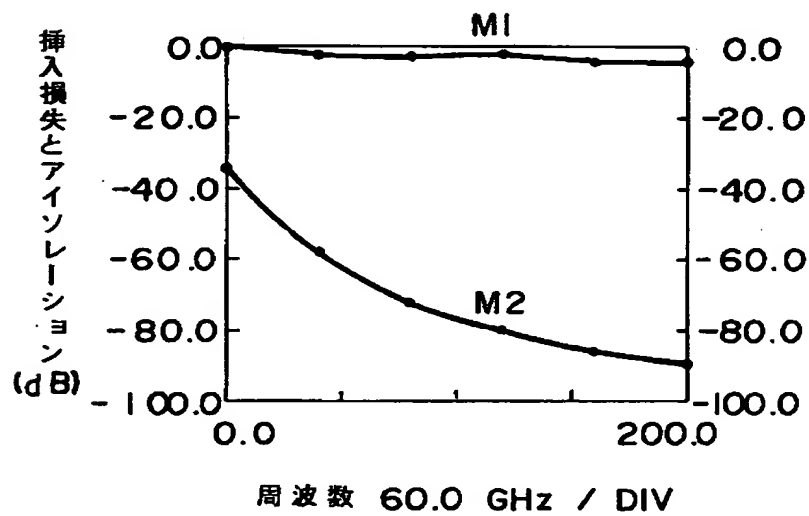
【図 8】



【図 9】



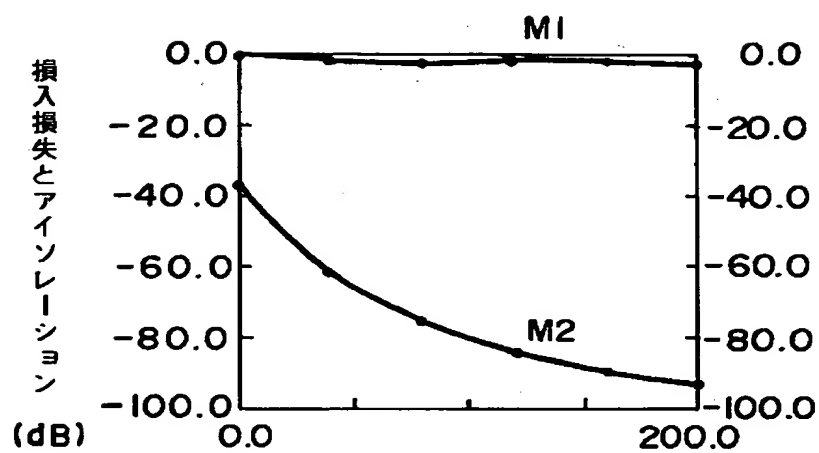
【図 10】



M1 周波数 = 114.0 値 = -1.62320504

M2 周波数 = 114.0 値 = -79.1376351

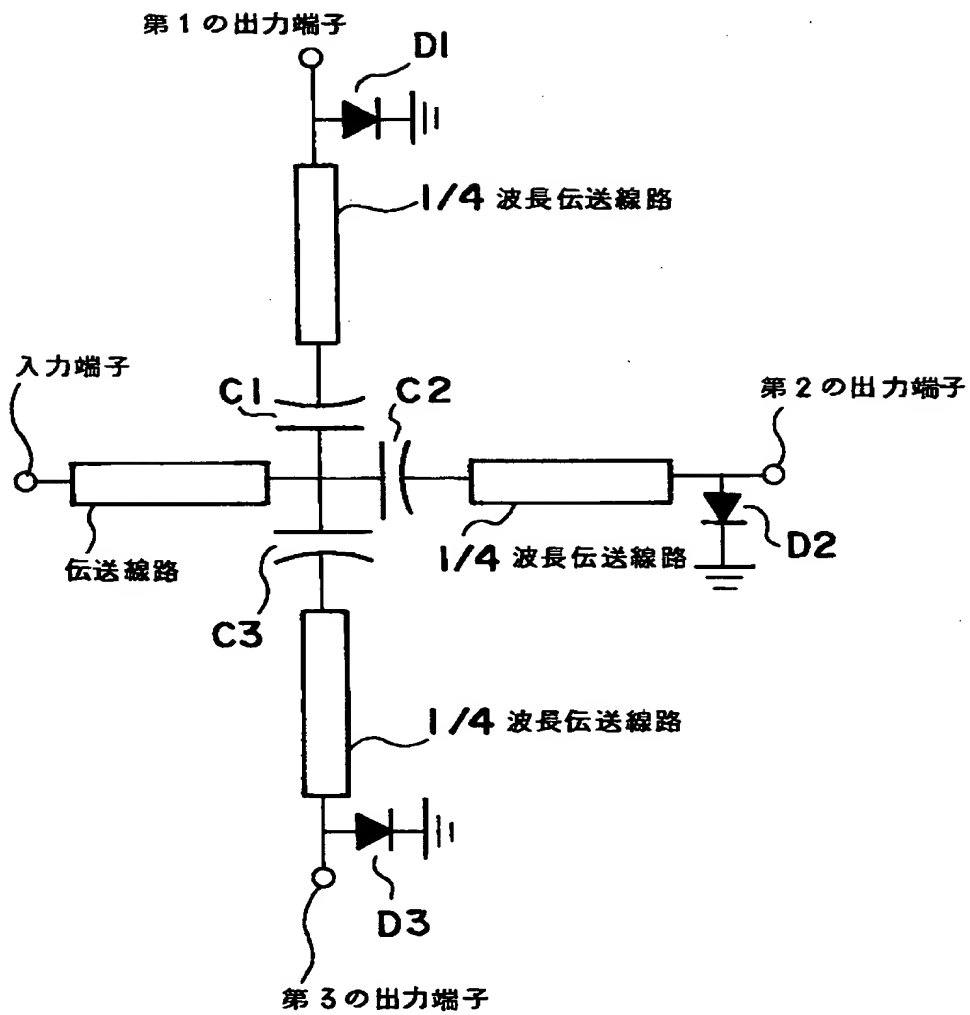
【図 11】



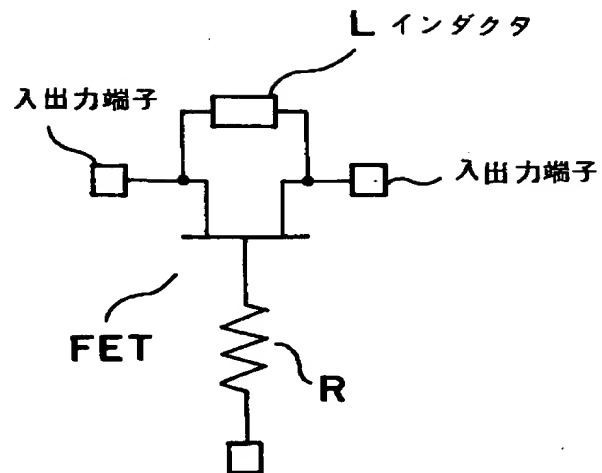
周波数 60.0 GHz / DIV

M1 周波数 = 134.0 値 = -1.51351363
 M2 周波数 = 134.0 値 = -85.3724595

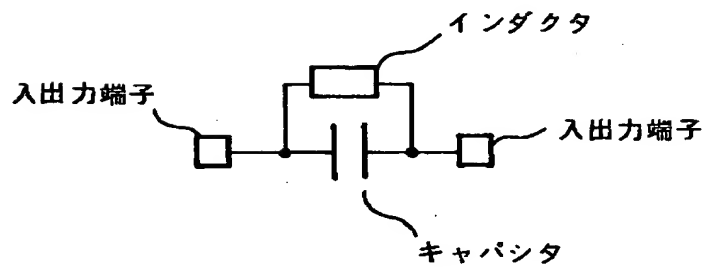
【図 12】



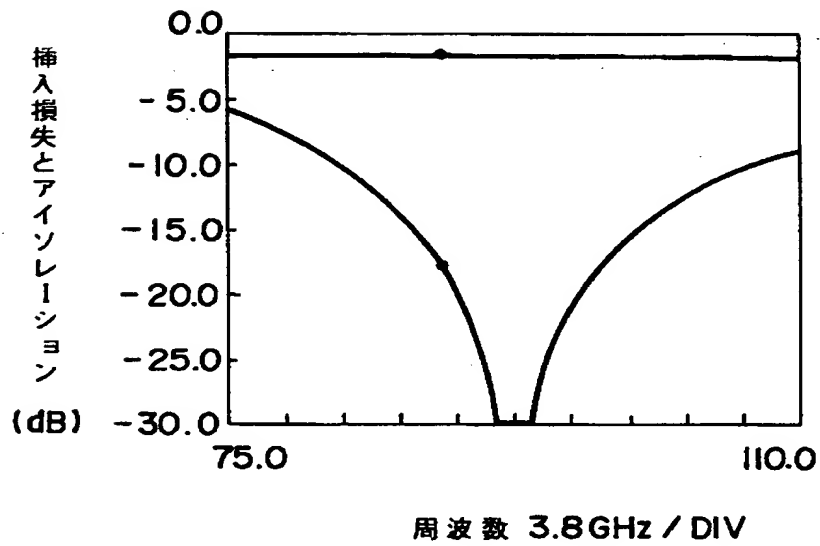
【図 13】



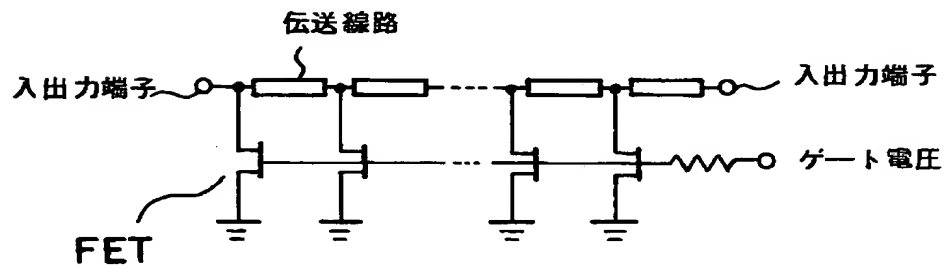
【図 14】



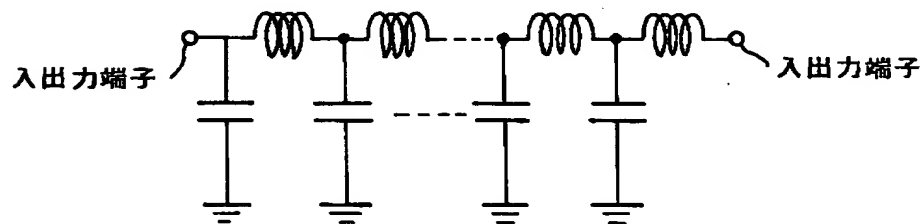
【図15】



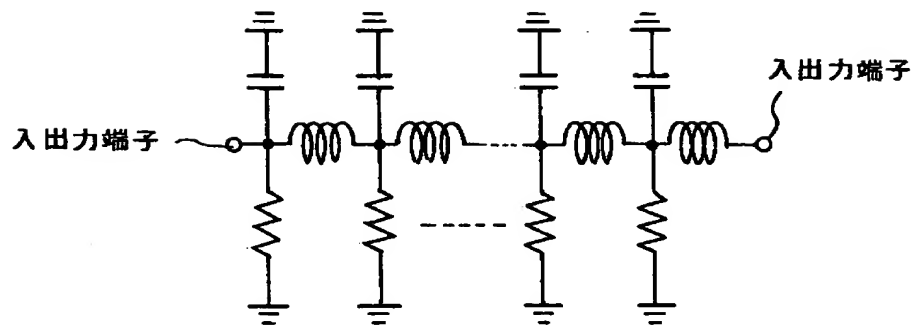
【図16】



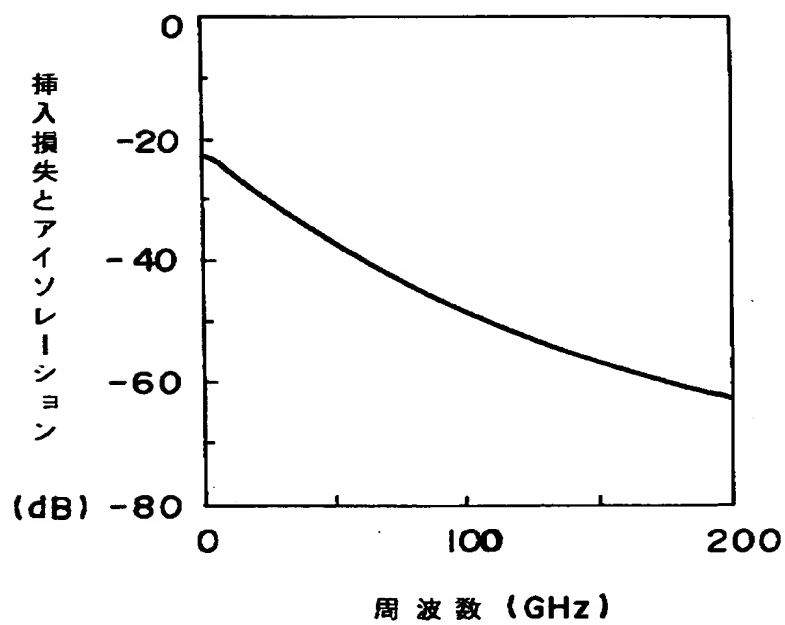
【図17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 60GHz以上の高い周波数においても低い挿入損失を維持しながら、80dB以上という高いアイソレーションを得ることのできる小型なスイッチを提供すること。

【解決手段】 本発明による半導体スイッチは、ゲート電極6、ソース電極4及びドレイン電極5が半導体基板上に形成されると共に活性層3に囲まれてなるFETを利用したものであって、ソース電極4及びドレイン電極5が、双方とも接地されると共に紙面左右方向において互いに平行に配されており、且つ、ゲート電極6が、ソース電極4及びドレイン電極5の間に形成されてなる構造を備え、ゲート電極6の紙面左右方向における両端には、夫々、第一の入出力端子1及び第二の入出力端子2が接続されているものである。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000004237
【住所又は居所】 東京都港区芝五丁目7番1号
【氏名又は名称】 日本電気株式会社

【代理人】 申請人

【識別番号】 100071272
【住所又は居所】 東京都港区西新橋1-4-10 第3森ビル 後藤
池田特許事務所
【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838
【住所又は居所】 東京都港区西新橋1-4-10 第3森ビル 後藤
池田特許事務所
【氏名又は名称】 池田 憲保

【選任した代理人】

【識別番号】 100058413
【住所又は居所】 東京都港区西新橋1-4-10 第三森ビル 後藤
池田特許事務所
【氏名又は名称】 芦田 坦

出 願 人 履 歴 情 報

識別番号

[000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社